

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196571
 (43)Date of publication of application : 14.07.2000

(51)Int.Cl. H04L 7/00

(21)Application number : 10-366769
 (22)Date of filing : 24.12.1998

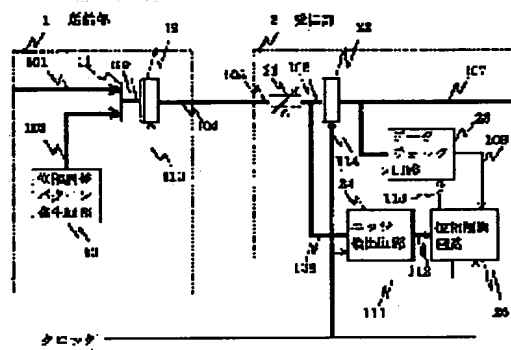
(71)Applicant : HITACHI LTD
 (72)Inventor : SUZUKI ATSUHIRO
 NAKAJIMA KAZUNORI
 OGIWARA MASAO

(54) PHASE ADJUSTMENT SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To set a phase of a plurality of different transmission paths in a short time and to set a phase where an operating margin is maximized even when a spread of a data uncertain area is smaller than a delay unit of a variable delay circuit.

SOLUTION: A transmission section 1 is provided with a phase adjustment pattern generating means 13 that generates phase adjustment pattern data that increases a noise quantity. A reception section 2 corresponding to the transmission section 1 is provided with a variable delay means 21 that optionally delays transmission data, a data check means 23 that checks whether or not the phase adjustment pattern data outputted from a reception latch 22 is correct, an edge detection means 24 that detects an uncertain area of the phase adjustment pattern data just before the reception latch 22, and a phase control means 25 that sequentially changes a delay of the variable delay means 21 and sets an optimum delay by using the check detection result of the means 23, 24 according to the change.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196571

(P2000-196571A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) IntCl.⁷

H 0 4 L 7/00

識別記号

F I

H 0 4 L 7/00

テーマコード(参考)

Z 5 K 0 4 7

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号

特願平10-366769

(22) 出願日

平成10年12月24日 (1998. 12. 24)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 篤浩

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 中島 和則

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 100073760

弁理士 鈴木 誠

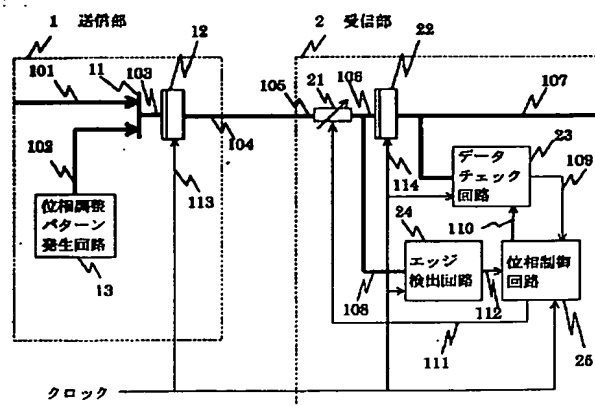
最終頁に続く

(54) 【発明の名称】 位相調整方式

(57) 【要約】

【課題】 異なる複数の転送経路の位相を短時間で設定し、また、データ不確定領域の広がり可変遅延回路の遅延単位より小さい場合でも動作マージンが最大になる位相の設定を可能にする。

【解決手段】 送信部1には、ノイズ量が大きくなる位相調整パターンデータを発生させる位相調整パターン発生手段13を設け、該送信部1と対応する受信部2には、送信データを任意に遅延させる可変遅延手段21、受信ラッチ22の出力位相調整パターンデータが正しいか否かをチェックするデータチェック手段23、受信ラッチ22の直前の位相調整パターンデータの不確定領域を検出するエッジ検出手段24、可変遅延手段21の遅延量を順次変更し、それに対する手段23、24のチェック・検出結果を用いて最適の遅延量を設定する位相制御手段25を設ける。



【特許請求の範囲】

【請求項1】 送信部と受信部がデータ転送経路を通して接続された機能ブロック間におけるデータの同期転送のための位相調整方式であって、

送信部は、位相を調整するための位相調整パターンデータを生成する位相調整パターン発生手段を有し、

受信部は、受信データを任意に遅延させる可変遅延手段と、前記可変遅延手段を通過した位相調整パターンデータが正しく受信ラッチにラッチできたか否かをチェックするデータチェック手段と、前記可変遅延手段の遅延量を変化させながら、順次、前記データチェック手段のチェック結果を入力して記憶し、該データチェック結果値から前記可変遅延手段の遅延量を最適に設定する位相制御手段とを有する、ことを特徴とする位相調整方式。

【請求項2】 送信部と受信部がデータ転送経路を通して接続された機能ブロック間におけるデータの同期転送のための位相調整方式であって、

送信部は、位相を調整するための位相調整パターンデータを生成する位相調整パターン発生手段を有し、

受信部は、受信データを任意に遅延させる可変遅延手段と、前記可変遅延手段を通過し受信ラッチ直前の位相調整パターンデータのデータ不確定領域を検出するエッジ検出手段と、位相調整パターンデータが正しく受信ラッチにラッチできたか否かをチェックするデータチェック手段と、前記可変遅延手段の遅延量を変化させながら、順次、前記エッジ検出結果及び前記データチェック手段のデータチェック結果を入力して記憶し、該エッジ検出結果及びデータチェック結果の両方の記憶値から前記可変遅延手段の遅延量を最適に設定する位相制御手段とを有する、ことを特徴とする位相調整方式。

【請求項3】 請求項2記載の位相調整方式において、位相制御手段は、データチェック結果とエッジ検出結果の両方の記憶値から、当該データ転送経路に障害があることを判断する機能を有することを特徴とする位相調整方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、機能ブロック間でデータの同期転送を行う際のデータ転送経路の位相を調整する方式に係り、特に並列計算機やデータ交換機のような装置の機能ブロック間におけるデータの同期転送に好適な位相調整方式に関する。

【0002】

【従来の技術】 従来、装置の機能ブロック間においてデータを同期転送する場合のバスディレイは、その転送経路（バス）をモデル化した電気回路に置き換え電気回路シミュレーションを用いて求めたり、該転送経路を各部品毎に分離し、部品毎に実験し求めたディレイ結果をそれぞれの部品に当てはめ、簡略された特別な計算式を用いて転送経路全体のディレイを求めていた。そして、求

めたバスディレイに対し、そのバスディレイが設計した時間を満たしているかを検証し、満たされていないければその転送経路を見直し、回路の変更を行い、再び変更した転送経路のディレイ計算を前記手法により行なっていた。更に、この転送経路のディレイ計算結果が設計した時間を満たすまで回路変更、ディレイ計算を繰り返していた。

【0003】 このような試行錯誤的な繰り返しを緩和するために、例えば、特開平7-283819号公報には、転送経路にディレイ回路を挿入し、実際に転送を行い、その結果に応じて転送エラーが起きないディレイをディレイ回路に設定することが示されている。この発明では、装置内の機能ブロック間で同期転送を行う転送経路において、当初は該転送経路にディレイ回路だけを装備し調整者がその転送経路に対するディレイを該ディレイ回路に設定する。一方、調整者が新しいシステムを接続する度に該ディレイ回路に適切なディレイを設定しなくてもいいように、システムに制御部を具備する。該制御部は、自動的に複数の転送経路に対し転送経路毎にテストパケットを送信し、送信部に具備したディレイ回路のディレイを最大値から次第に小さくする方向に変えながら正しく該テストパケットが転送できたディレイMAXと、送信部に具備したディレイ回路のディレイを最小値から次第に大きくする方向に変えながら正しく該テストパケットが転送できたディレイMINとを求め、転送経路毎の送信部に具備したディレイ回路に $(MAX + MIN) / 2$ としたディレイを設定する機能と、該転送経路毎に設定したディレイを記憶する機能と、装置が立ち上がる際にその記憶しておいたディレイを該転送経路毎の該ディレイ回路に設定する機能を有している。

【0004】 なお、2つの信号の位相を比較し、その位相差の程度を検出する回路として関連するものには、例えば特開平2-168754号公報があり、さらにスキューを補正する回路として関連するものには、例えば特開昭63-305612号公報などがある。

【0005】

【発明が解決しようとする課題】 機能ブロック間でデータ同期転送を行う装置を設計する際、その転送経路のディレイ計算結果が実際のディレイと合致していることが重要である。同期転送は、送信側にて、送信ラッチに供給する送信クロックで叩かれた送信データが転送経路を通り、受信側にて、受信ラッチに供給する受信クロックで叩かれるタイミングで該送信データが受信ラッチに取り込まれることで行われている。つまり、転送経路のディレイが受信ラッチの受信クロックとぶつかっていないことを保証しなければ、同期転送はできない。

【0006】 一般的には送信ラッチから受信ラッチまでのディレイを予め正確に計算することは非常に困難であり、また、仮に求められたとしても、その計算量は膨大であり、全ての転送経路を計算することは不可能であ

る。そこで、各部位毎に不確定要因を含んだあらかじめ大き目のディレイを想定し、それらを簡略化した計算式を用いて計算し、実際の転送経路で転送エラーが起きないように考慮している。しかし、あらかじめ大き目のディレイを想定することは、いたずらにディレイを大きく見ることになり、最適なタイミング設計を阻害することになる。

【0007】タイミング設計で考慮すべき点の一つは、受信ラッチにデータを正しく取り込むためには、そのラッチに規定されているセットアップタイムとホールドタイムを加えた時間帯に入力データが変化しないことを保証することである。入力データを変化させてはいけな時間帯はそのラッチに与えられるクロック信号を基準にして前後に存在するため、その時間帯に送信データのデータ不確定領域が来ないように転送経路のディレイを調節する(タイミング設計する)必要がある。そしてもう一つは、ラッチに供給するクロックのスキューやジッタそして製造過程における物のばらつき、転送経路の電気的特性、温度・電圧・湿度などの動作環境のばらつき等による転送経路のディレイの変化がある。

【0008】タイミング設計において重要なことは、想定する動作環境の中で装置が正常に動作し続けることができるように、予め環境によるディレイのばらつきを考慮し余裕を持った設計をすること、つまり、動作マージンが大きくなるように設計することである。具体的に動作マージンを大きくするということは、データの不確定領域をラッチのセットアップタイムとホールドタイムを加えた時間帯からできるだけ離れたポイントに設計することである。動作マージンを小さく設計すると、データの不確定領域がたとえ設計した時間帯に入っていたとしても、ラッチのセットアップタイムとホールドタイムを加えた時間帯に近ければ、先に示したような動作環境の変化により発生する様々なノイズによりデータの不確定領域が広がったり、ディレイの大きい方に移動したり、小さい方に移動したりするため、小さなノイズの影響でデータの不確定領域がセットアップタイムとホールドタイムを加えた時間帯に入ってしまう誤動作を引き起こしてしまう。従って、環境におけるノイズ、および、大量生産による製造ばらつきによって転送データが簡単にエラーにならないように、できるだけセットアップタイムとホールドタイムを加えた時間帯から離れたポイントにデータの不確定領域が来るようにディレイを設計することが課題となる。

【0009】一方、開発コストの低減および製品原価の低減を進める為に、設計の共通化および部品の共通化が図られる。また、並列計算機のような装置では、その特徴から同一部品が多く使われる。従って、同一品種の部品間で異なる複数の転送経路が存在することとなり、これらの異なる複数の転送経路に対するタイミング設計が問題になる。つまり、転送経路毎にその環境に対するば

らつきやディレイが異なるが、共通設計する場合は該ばらつきの最大のばらつきを代表としてディレイ設計することになり、設計を閉じるまで多くの時間を要すること、また、最適なディレイ設計ができないことになることが問題である。したがって、転送経路毎のばらつきの最大のばらつきを用いてディレイ設計することなく部品を共通に設計できる手段を設けることがも一つの課題である。

【0010】従来技術では、異なる複数の転送経路に対して一つずつ制御しなければならないため、転送経路が多い場合の制御について考慮がされておらず、調整を行う時間が非常に長くなる問題があった。また、データの不確定領域の広がりに対する考慮がされておらず、チェックするディレイが離散的であるにも係わらず、必ずいづれかのディレイにおいて転送エラーが発生することを期待しているため、データの不確定領域の広がりがディレイ回路の変換単位よりも小さい場合にはどのディレイにおいても転送エラーが発生しないといった現象が発生し、結果として、誤ったディレイを設定してしまうという問題があった。

【0011】さらに、従来技術では、ディレイ回路に設定する値は、装置導入後の調整段階において決定し、その後は、記憶しておいた値を、装置が初期設定する際に再びディレイ回路に設定する機能であるため、装置導入後の各素子の経年変化や動作環境の変化に対応できないという問題があった。

【0012】本発明の第一の目的は、異なる複数の同期転送経路を有する装置において、個々の転送経路に対する位相の設定(ディレイの設定)を個々の転送経路の受信部に具備する位相調整機構に対し同時に位相調整を行う指示をすることにより、並列計算機のようなスケラブルに装置の構成を変更できるシステム、つまり転送経路がスケラブルに増加する装置において、位相調整をする手順を変更することなく、また、一つの転送経路の位相調整をする時間で装置内全ての位相調整を完了させることにある。

【0013】本発明の第二の目的は、可変遅延回路が変えることができる基本遅延単位よりもデータの不確定領域の広がりが小さい場合においてもその不確定領域を正しく検出でき、常に動作マージンが最大になるディレイを誤り無く設定できるようにすることにある。

【0014】本発明の他の目的は、可変遅延回路が変えることができる個々のディレイで受信データをチェックしたパターンにより、該転送経路に何らかの障害があることを検出可能にすることにある。

【0015】

【課題を解決するための手段】上記第一の目的を達成するために、本発明では、同期転送経路における送信部に位相調整パターン発生手段を設け、該送信部に対応する受信部に可変遅延手段、データチェック手段、位相制御

手段を設ける。送信部に具備した位相調整パターン手段は、伝送路において最大のノイズが発生するような位相調整パターンデータを繰り返し発生し続けており、該送信部内に具備するデータ切り替えセレクタにより位相調整パターン発生手段から発生している位相調整パターンデータが選択されると、該位相調整パターンデータが受信部に向けて伝送される。送信部と受信部とを接続する伝送路を伝播してきた位相調整パターンデータは、受信部の可変遅延手段でディレイした後、該受信部の受信ラッチで受け、該受信ラッチで受けたデータが正しいか否かをデータチェック手段で判定する。位相制御手段は、可変遅延手段のディレイを順次変更し、各ディレイに対するデータチェック結果を用いて、動作マージンが最大になるディレイを可変遅延手段に自動的に設定する。

【0016】また、上記第二の目的を達成するために、本発明では、同期転送経路における送信部に位相調整パターン発生手段を設け、該送信部に対応する受信部に可変遅延手段、データチェック手段、エッジ検出手段、位相制御手段を設ける。送信部は、位相調整パターン手段が発生する位相調整パターンデータを、伝送路を通して受信部に向けて伝送する。伝送された位相調整パターンデータは、受信部の可変遅延手段で遅延された後、受信ラッチで受け、該受信ラッチで受けたデータが正しいか否かをデータチェック手段で判定する。これとともに、受信部の可変遅延手段で遅延されたデータを、エッジ検出手段にて、該可変遅延手段が変えられるディレイの単位分の時間内にデータの切り替わりが無いかなかを判定する。位相制御手段は、可変遅延手段のディレイを順次変更し、各ディレイに対するデータチェック結果およびエッジ検出結果を用いて、動作マージンが最大になるディレイを可変遅延手段に自動的に設定する。

【0017】また、上記第三の目的を達成するために、本発明では、位相制御手段は、各ディレイに対するデータチェック結果およびエッジ検出結果を用いて、通常ありえないパターンと比較するなどして、転送経路に何らかの障害があることを検知し、外部に対し報告するなどの機能を備える。

【0018】

【発明の実施の形態】以下、本発明の一実施例について図面により説明する。図1は本発明の一実施を示すブロック図である。図1において、1は一方の機能ブロックの送信部を示し、2は他方の機能ブロックの受信部を示している。送信部1はセレクタ11、送信ラッチ12及び位相調整パターン発生回路13を具備する。受信部2は可変遅延回路21、受信ラッチ22、データチェック回路23、エッジ検出回路24及び位相制御回路25を具備する。101～108はデータ線であり、一般に複数ビットで構成されるが、機能ブロック間の伝送路は1ビット構成でもよい。

【0019】位相調整は、装置が機能ブロック間でデー

タを同期転送する動作の前に、その動作を完了させておく必要がある。その際、装置が伝送系を使用する際に発生する最大ノイズを、予め該伝送系に発生させる必要がある。位相調整パターン発生回路13が、この伝送系に最大ノイズを発生させるパターンデータを自動的に生成する回路である。

【0020】伝送系のノイズには、該伝送系を駆動する為の電源から発生するノイズと信号が該伝送系を伝播する際に発生するノイズ（クロストーク等）がある。位相調整パターン発生回路13には、それらのノイズを最大に発生させるため特殊なパターンを用意する。本実施例では、図2に示すように、位相調整を行う経路の全ビットを対象として、1サイクル「1」が続き、その後1サイクル「0」が続くパターンを規定時間繰り返し替えずと、次に2サイクル「1」が続き、2サイクル「0」が続くパターンを規定時間繰り返し、さらに3サイクル「1」が続き、3サイクル「0」が続くパターンを規定時間繰り返し続けた後、次に1ビットのみ他のビットとは反対のパターンになるように1サイクルから3サイクルまで前記同様パターンを繰り返す。そして、全てのビットがそれぞれ反対になるまで繰り返された後、再び1サイクル全ビット0・1からパターンを繰り返し発生する。図2では、1ビットに対するデータのみを示したが、位相調整パターン発生回路13は、このようなパターンを各ビット（パリティビットも含む）について周期的に発生し続ける。

【0021】位相調整動作時、送信部1において、セレクタ11はデータ線102を選択し、位相調整パターン発生回路13が生成する伝送系に最大ノイズを発生せしめる位相調整パターンデータをデータ線103に出力する。送信ラッチ12は、該データ線103上の位相調整パターンデータを送信クロック113に同期して取り込み、データ線104に送出する。セレクタ11の切り替えは、外部のシステム制御ユニットなどから指示されるが、図1では省略してある。

【0022】受信部2では、位相調整パターンデータがデータ線105により受信され、可変遅延回路21を通過してデータ線106に出力する。後述するように、本実施例では、可変遅延回路21は8段階に遅延量を変えることができる。データ線106上の位相調整パターンデータを、受信ラッチ22が受信クロック114に同期して取り込み、データ線107に出力する。データチェック回路23は、受信クロック114に同期して、位相調整パターンデータが受信ラッチ22に正しくラッチできたか否か、言い換えれば、受信ラッチ22の出力が正しいデータであるか否かを常時チェックしている。また、エッジ検出回路24は、データ線106上の受信ラッチ22直前の位相調整パターンデータのデータ不確定領域すなわち可変遅延回路21通過後のデータの切り替わりが受信クロック114を基準にして所定範囲内に存在す

るか否かを検出する。位相制御回路25は、可変遅延回路21の遅延量を順次変更しながら、各ディレイに対するデータチェック回路23およびエッジ検出回路24からのデータチェック結果/エッジ検出結果を基に、制御線111を通して、可変遅延回路21の遅延量をマージンが一番大きくなるように制御する。

【0023】上記位相調整後、通常の動作に切り替わる。通常動作では、送信部1は、外部からの指示でセクタ11がデータ線101の通常の送信データを選択し、送信ラッチ12が該送信データを送信クロック113に同期して取り込み、データ線104へ送出する。受信部2は、該送信側からの通常データをデータ線105で受信し、可変遅延回路21が該データを所定量遅延し、受信ラッチ22が受信クロック114に同期して取り込み、データ線107へ出力する。ここで、可変遅延回路21の遅延量は、位相制御回路25により常に動作マージンを最大に保つように設定されているため、データを受信ラッチ22に確実にラッチできる。

【0024】以下、データチェック回路23、エッジ検出回路24、位相制御回路25について詳しく説明する。

【0025】図3は、データチェック回路23の構成例を示す。データチェック回路23は、データ線107上のデータをチェックするチェック回路301、チェック回路301で検査した結果が誤りであったことを示すチェックラッチ302から構成される。チェック回路301は例えばパリティチェック回路であるが、これ以外の回路でもよい。例えば、CRC回路、コンペアチェック回路などでもよい。つまり、チェック回路301は受信ラッチ22に受信データが間違いなくラッチされたか否かが判定でき、その結果、正常あるいは異常であることを出力できる回路であればなんでも良い。チェックラッチ302は、チェック回路301のチェック結果をクロック114に同期して取り込み、その情報は制御線109により位相制御回路25へ報告される。また、チェックラッチ302は、制御線110を通して位相制御回路25によりリセットされる。

【0026】図4はエッジ検出回路24の構成例を示す。401~407はラッチ、408は固定遅延回路、409~415は論理素子を示している。入力データ線108のデータがラッチ401およびラッチ403に取り込まれる際に、取り込みクロックと該入力データの切り替わりが重なると、該ラッチ401およびラッチ203の出力がメタステーブルという状態になる。このメタステーブル状態は、ラッチの特性により一定時間で解消することが知られている。本実施例では、1クロック後にもう一度ラッチ402およびラッチ404で取り直すことで、該メタステーブル状態を取り除いている。ラッチ205、206は、入力データ線108の信号がラッチ201でラッチされた値と固定遅延回路408を通過

後のラッチ403でラッチされた値とを比較した結果、該値が異なっていることを示すラッチである。また、ラッチ407は、該比較結果が異なっている場合に「1」を保持するラッチである。つまり、ラッチ407が「1」ということは、入力データ線108の信号が当該エッジ検出回路24に供給しているクロック位置と該クロックから固定遅延回路408が持つディレイ分進んだ位置の間にデータの不確定領域があることを示している。該ラッチ407の情報は、制御線112により位相制御回路25へ報告される。

【0027】図5は可変遅延回路21の構成例を示す。501~507は遅延単位回路であり、ある一定の遅延量(ディレイ) $\Delta\beta$ をもっている。511~517はディレイを切り替えるためのセクタであり、位相制御回路25より制御線111を通して与えられる制御信号により、デコーダ520を介して制御される。セクタ511~517は、デコーダ520からのセレクト信号が有効でない時は遅延単位回路($\Delta\beta$)からの信号を選択し、デコーダ520からのセレクト信号が有効である時はデータ線105の受信データを選択する。例えば、制御線111の制御信号の値が「2」であったとすると、セクタ515だけがデータ線105の受信データを選択し、他のセクタ511、512、513、514、516、517は遅延単位回路501、502、503、504、506、507からの信号を選択する。従って、データ線105の受信データは、セクタ515を通り、遅延単位回路506、セクタ516、遅延単位回路507、セクタ517を通り抜けるため、該可変遅延回路21でのディレイは $\Delta\beta$ の2個分とセクタ3個分を加えた値になる。このように、制御線111の制御信号の値に従って、データ線105の受信データがデータ線106へ通り抜けるまでのディレイ $\Delta\beta$ の個数が決まり、該可変遅延回路21のディレイが決まる。なお、制御線111の制御信号の値によるディレイのばらつきを抑えるために、先頭の遅延単位回路501の入り口にセクタ511と同じセクタを付け加え、デコーダ520からあらたに7の信号を取り出し、そのセレクト信号線を該付け加えたセクタに、セクタ511~517と同様に接続することでも良い。

【0028】図6は位相制御回路25の構成例を示す。制御論理部601は該位相制御回路25の動作全体の制御を行う論理部である。該制御論理部601は、外部のシステム制御ユニットなどとシステム制御線やシステム報告線などで接続されるが、図6では省略してある。SQBSY602は該位相制御回路25が位相調整動作を行っているか否かを示すフリップフロップであり、該位相制御回路に対して二重に起動がかけられることによる誤動作を防ぐ役目をしている。PDATA603は、データチェック回路23でのデータチェック結果を各遅延単位毎に記憶するレジスタ、CDATA604はエッジ

検出回路24でのエッジ検出結果を各遅延単位毎に記憶するレジスタである。本実施例では、可変遅延回路21では8段階にディレイを変えることが可能であり、これに対応してPDATA603およびCDATA604の値を各レジスタは8ビットで構成されている。OR回路605はPDATA603およびCDATA604の値を各ビット単位に論理和する回路、セクタ606は制御論理部601からの制御信号608でPDATA603の出力あるいはOR回路605の出力のいずれかを選択する回路、RDATA607はセクタ606の出力を記憶するレジスタである。RDATA607のレジスタは、PDATA603およびCDATA604と同様に8ビットである。

【0029】動作マージンが最大になるディレイの可変遅延回路21への設定値はPDATA603、CDATA604の値の組み合わせから予め計算で求める。本実施例では、その計算結果に基づいた一覧表の表(1)610、表(2)620を作成し、位相制御回路25に記憶させておく、図9は表(1)610の例であり、PDATAの値からCDATAの値を用いるか否かをエッジ検出結果の使用の有無の欄にて示している。「1」がCDATA604の値を用いることを示し、「0」がCDATA604の値を用いないことを示す。制御論理部601では、エッジ検出結果使用判定の表(1)610を参照して制御信号608によりセクタ606の動作を制御する。図10は表(2)620の例であり、可変遅延回路21のディレイをRDATA607の値から求める変換表を示している。ただし、RDATA607の値から動作マージンが最大になるディレイを定義してあるのと同時に正常な伝送路ではありえないRDATA607値も表(2)620に定義し、伝送路に何らかの障害があることを示せるようにエラーの欄も定義する。しかし、伝送路に何らかの障害があっても正常に送信データが受信できるディレイがあれば、その中で動作マージンが最大になるような設定値を定義している。

【0030】次に、図6に示す位相制御回路25の動作を図7乃至図10により説明する。図7は位相制御回路25における制御論理部601の全体的動作フローである。外部から位相調整を行う指示があると、まず、SQBSY602が「1」か否かを判定する(ステップ702)。SQBSY602が「1」とは、この位相制御回路25が位相調整動作をおこなっている最中であることを示し、この場合、位相調整要求は無視され、位相制御回路25に対し二重に起動がかけられることによる誤動作を防ぐ。SQBSY602が「0」である場合、つまり、位相調整動作を位相制御回路25が行っていない場合、該位相調整要求を受け付け、位相調整動作に入ると同時にSQBSY602を「1」に設定する(ステップ703)。次に、位相制御のための初期化を行う(ステップ704、705、706)。まず、PDATAレジ

スタ603、CDATAレジスタ604の値を「0」にする(ステップ704)。なお、図7中の記号「*」はレジスタ603、604の配列番号(0~7)を示すと共に可変遅延回路21に設定した値をも示している。次に、変数*i*を「0」にし、(ステップ705)、そして、可変遅延回路21にディレイを「0」に設定する(ステップ706)。これで位相制御のための初期化が終了し、以降、可変遅延回路21に設定するディレイ毎に以下の動作が繰り返される。

【0031】まず、データチェック回路23内に具備するチェックラッチ302を制御線110を通して「0」にクリアする(ステップ707)。そして、データチェック回路23およびエッジ検出回路24にて受信データを検査し続ける判定時間を設定する(ステップ708)。該判定時間は送信部1内の位相調整パターン発生回路13が生成する種々の位相調整パターンが一周期する時間を一単位として設定する。検査は位相調整パターンデータの任意の位置から開始されることになるが、設定する判定時間は、それが大きいほど長い時間をかけて変化するようなノイズを検出できる可能性がある。ステップ708で設定した時間だけ該当ディレイにおいて、データチェック回路23での受信データのチェック結果を制御線109より取り込み、PDATA(*i*)603に格納すると同時に、エッジ検出回路24での受信データのエッジチェック結果を制御線112より取り込み、CDATA(*i*)604に格納する(ステップ709、710)。判定時間経過後、次のディレイに対するデータのチェックを行うために変数*i*に「1」を加え(ステップ711)、可変遅延回路21に対し*i*に対応するディレイを設定する(ステップ712)。変更した変数*i*が「8」以下であれば(ステップ713)、ステップ707に戻り、再び変数*i*に対応するディレイに対する受信データのチェックを行い、PDATA(*i*)603、CDATA(*i*)604に格納する。変更した変数*i*が「8」以上であれば、可変遅延回路21で変えることができる全てのディレイに対する受信データのチェックが完了したことになり、PDATA(*)603及び/又はCDATA(*)604の値から動作マージンが最大になるディレイを決定し、可変遅延回路21に対し当該ディレイを設定する(ステップ714)。

【0032】以上で、位相調整の動作が完了したので、SQBSY602を「0」に設定し、外部に対して位相調整の動作が完了したことを知らせる(ステップ715)。位相調整の動作をおこなうタイミングは、装置を立ち上げる過程において行われるのはもちろんのことであるが、常に動作マージンを最大に保つため、装置が運用している最中においても、転送経路に通常データがない時を見計らって位相調整を行うようにする。

【0033】図8は、図7に示したステップ714を詳細に説明するための動作フローである。可変遅延回路2

1で変えることができる全てのディレイに対するチェック結果がPDATA(*)603とCDATA(*)604に格納されると、まず、PDATA(*)603の値を用いて、図9の表(1)610からエッジ検出結果使用の有無を読み取る(ステップ802)。読み取った結果、エッジ検出の使用の有無が「1」である時、オア回路605にてPDATA(*)603とCDATA(*)604を各ビット毎に論理和した演算結果をセレクト608にて選択し、RDATA(*)607に設定する。また、エッジ検出の使用の有無が「0」である時、セレクト608にてPDATA(*)603の値をセレクト608にて選択し、そのままRDATA(*)607に設定する(ステップ803、804、805)。次に、RDATA(*)607の値を用いて、図10の表(2)620から遅延量とエラーとを読み取る(ステップ806)。そして、この読み取った遅延量を制御線111を通して可変遅延回路21に設定する(ステップ807)、ここで、読み取ったエラー値が「1」であれば、エラーであることを当該位相制御回路25に設定し、ステップ714が完了する(ステップ809)。読み取ったエラー値が「0」である場合、そのままステップ714が完了する。

【0034】例えば、PDATA(*)603の値が「00000011」で、CDATA(*)604の値が「00001111」である時、図9の表(1)610の904行目とPDATA(*)603の値が一致するので、図9の表からエッジ検出の使用の有無は「1」と読み取れる。エッジ検出の使用の有無が「1」であるので、PDATA(*)603とCDATA(*)604を各ビット毎に論理和し、RDATA(*)607は「00001111」となる。このRDATA(*)607の値は、図10の表(2)620の1005行目と一致する。そこで、位相制御回路25の制御論理部601は、図10の表の1005行目から読み取った遅延量の値「1」を可変遅延回路21に設定する。この場合、図10の表の1005行目のエラーの欄は「0」であるので、該位相制御回路25にエラーは設定しない。

【0035】次に、図11により本実施例の位相調整動作における波形の一例を説明する。送信部1から出力される波形は、送信クロック113により同期して切り替わり、そのためデータ不確定領域がデータ線104の送信データの波形のように発生する。該送信データは転送経路を通り受信部2へ到達する間にさまざまなノイズを受け、データ線105の受信データのように、データ不確定の範囲がデータ線104の送信データよりも広がる。データ線105の受信データは可変遅延回路21を通過し106の波形となり、受信ラッチ22に受信クロック114でラッチする。ここで、データ線106の受信データの波形は、可変遅延回路21でディレイ0~7の波形のように変化する。受信クロック114と送信ク

ロックとの相対関係(スキュー)は、ジッタがあるものの位相は一定である。本位相調整の目的の一つは動作マージンを最大にすることである。これは、受信クロック114とデータ線106の受信データとの関係において、データ線106の受信データのデータ不確定を避けたデータ確定領域のちょうど真ん中に受信クロック114を持ってくるといことと等価である。言い換えれば、データ線106の受信データのデータ不確定を避けたデータ確定領域のちょうど真ん中を、受信クロック114に合わせることである。つまり、動作マージンを最大にするということは、データ線106の受信データまたは受信クロック114のどちらか一方をディレイさせ、データ線106の受信データのデータ不確定領域と受信クロック114のラッチポイントが一致しないように、データ不確定領域を避けたデータ確定領域の真ん中に受信クロック114のラッチポイントがあるという関係にすることである。図11の波形の例においては、PDATA(*)の値が「11000001」と判定され、CDATA(*)の値が「11000011」と判定されると、遅延量「4」が最大の動作マージンを得られる値となることは容易に理解できる。

【0036】次に、図5に示す可変遅延回路21に実装する遅延単位回路50~507($\Delta\beta$)と総ディレイおよび図4に示すエッジ検出回路24に実装する固定遅延回路408のディレイについて説明する。可変遅延回路21に最低限必要な総ディレイは、データ線104の送信データは送信部1のラッチ12から送信クロック113に同期して生成しており、データ線106の受信データは該送信クロック113と同じ周期で切り替わることから、データ線106の受信データのデータ不確定を避けたデータ確定領域のちょうど真ん中に該受信データの位相を持ってくれば良く、従って、送信クロックの1周期分あれば良いことは容易に理解できる。遅延単位 $\Delta\beta$ のディレイについては、総ディレイをn等分した値とする。遅延単位 $\Delta\beta$ のディレイは小さければ小さいほどよりデータ不確定を避けたデータ確定領域のちょうど真ん中に、つまり、動作マージンが一番大きくとれるディレイに設定できるが、可変遅延回路21の論理規模が大きくなってしまいLSIに実装することが困難になるとともに、本来、果たすべき機能を実装する論理が入らなくなってしまうため、装置全体の動作マージンのバランスを考慮して、つまり、この転送経路だけ突出して無駄に動作マージンが大きくならないように遅延単位 $\Delta\beta$ の値を決める必要がある。

【0037】次に、この遅延単位 $\Delta\beta$ が決まると、エッジ検出回路24にある固定遅延回路408のディレイが決まる。エッジ検出回路24はデータチェック回路23で離散的にチェックした結果を補う形で具備している手段である。つまり、データチェック回路23は可変遅延回路21で設定できる段階的なディレイに対するポイン

トでのみ受信データをチェックしているため、ポイント間、つまり遅延単位 $\Delta\beta$ 分、受信データをチェックしていないことになる。この受信データをチェックしていない領域をチェックすることがエッジ検出回路24の目的である。従って、固定遅延回路408は、最低、遅延単位 $\Delta\beta$ 分あればよいことが容易に分かる。しかし、図11からも読み取れるように、固定遅延回路408のディレイが大きくなると、右下がり斜め線で示されるエッジ検出回路24で検出する領域が広がるため、データ不確定領域が大きくなり、結果として可変遅延回路21に設定するディレイがデータ不確定を避けたデータ確定領域の真ん中からディレイの早い側に設定され、動作マージンが小さくなってしまう。

【0038】次に、図12に本発明の位相調整方式を適用したシステムの一例を示す。1201は全ての機能ブロックの位相調整を制御するシステム制御ユニット、1210、1211、1212は機能ブロックA、B、Cを示す。機能ブロック(A)1210と機能ブロック(B)1211との間は4つの転送経路を有しており、本例では、機能ブロック(B)1211と機能ブロック(C)1212との間は2つの転送経路を有している。各転送経路にはそれぞれ送信部1および受信部2を具備している。図1は、これらの一組を示したものである。1220、1221、1222はシステム制御ユニット1201から各機能ブロック(A)1210、(B)1211、(C)1212における各送信部1、受信部2の内部回路を制御するためのシステム制御線号であり、1230、1231、1232は各機能ブロック(A)1210、(B)1211、(C)1212における受信部2の位相制御回路25から報告されるシステム報告線である。

【0039】次に、図12のシステムにおいて、機能ブロック(A)1210と機能ブロック(B)1211の間の1240で示す転送経路について位相調整を動作させる時の手順の一例を図13を用いて説明する。システム制御ユニット1201は、システム制御線1221により、位相調整を行なおうとしている転送経路1240の受信側に受信データを判定し続ける判定時間を設定する(ステップ1302)。また、システム制御線1220により、該転送経路1240の受信側に対応する送信側のセレクトを、位相調整パターン発生回路からの位相調整パターンデータが出力される方に切り替える(ステップ1303)。そして、該転送経路1240の該位相調整受信側の位相制御回路に対し位相調整の動作を指示する(ステップ1304)。その後、システム制御ユニット1201は、位相調整動作が完了したことを知るために、報告線1131を介し、該受信側の位相制御回路から読み取れるSQBSYを監視し、該SQBSY信号が「0」になったのを確認すると、該受信側の位相制御回路からエラー信号を読み取り(ステップ1306)、

該エラー信号が「1」であれば、該受信側から事前に決めておいたエラー情報を採取し、例えば外部に対して該エラー情報を報告する(ステップ1307)。該エラー信号が「0」またはエラー情報採取後、システム制御ユニット1201は、システム制御線1220により、該転送経路1240の送信側に対応するセレクトを通常使用するデータバス側に切り替える(ステップ1308)。

【0040】図13に示す一連の手順は、伝送路別に具備する位相調整回路にて独立して行うことができる。また、これら一連の手順は、位相調整回路毎に異なる設定がないため、システム全体を制御するシステム制御ユニット12にて同時に行うことが可能である。

【0041】以上、本発明の一実施の形態を説明したが、同一LSI内に複数の送信部がある場合には、各送信部毎に位相調整パターン発生回路を具備することはなく、LSIの実装に応じて複数の送信部で一つの位相調整パターン発生回路を共有してもよい。

【0042】また、伝送路は1bitでも複数のbitで構成されていてもよく、また、可変遅延回路はbit毎に個別にディレイが変えるようにしても、複数のbit毎のディレイを一斉に変えるようにしてもよい。複数のbit毎のディレイを一斉に変えるようにすると各bitの伝送路のばらつきにより、各bitのノイズが重畳されたように見える為、できるだけ可変遅延回路はbit毎に個別にディレイが変えることができるようにしておくことで、動作マージンがより大きくなるように木目細かなディレイの設定ができる。

【0043】

【発明の効果】本発明によれば、転送経路毎に複雑なディレイ計算を必要せず、実際に転送した結果によりその転送経路の最適なディレイを自動的に選択するので、転送経路の全てのディレイ計算を必要とせず、LSI等を容易に共通設計でき、設計するLSIの品種が削減できることから、LSIの設計コストおよび製造コストを低減できる効果がある。

【0044】また、装置毎の動作環境によるディレイのばらつきおよび部品毎の製造過程で発生するディレイのばらつきを組み立てた後の設置環境にて位相を自動的に調整するため、装置毎にその装置の最大の動作マージンを自動的に得ることができる効果がある。

【0045】また、本発明は、エッジ検出回路を具備することでデータ不確定領域が可変遅延回路の遅延単位によるチェックポイント間隔よりも小さくなくてもデータの不確定領域を見失うことが無いので、最大の動作マージンが得られるディレイを設定することが可能であるという効果がある。

【0046】また、本発明は、可変遅延回路の遅延単位毎にチェックした結果から設計上ありえないパターンを見つけ出すことで、転送経路に何らかの障害があるこ

とを外部に知らせることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成図である。

【図2】 位相調整パターン発生回路で発生する位相調整パターンデータの一例である。

【図3】 図1のデータチェック回路の一例である。

【図4】 エッジ検出回路の一例である。

【図5】 可変遅延回路の一例である。

【図6】 位相制御回路の一例である。

【図7】 位相制御回路の動作フロー図である。

【図8】 図7のフローの遅延量を決定する処理の詳細動作フロー図である。

【図9】 エッジ検出結果使用判定表の一例である。

【図10】 遅延量を決定するための変換表の一例である。

【図11】 本実施例の位相調整動作における波形の一例である。

【図12】 本発明を適用したシステム構成の一例である。

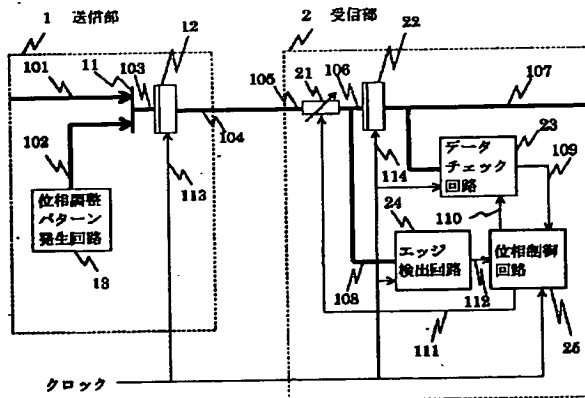
【図13】 図12のシステムによる位相調整動作のフロ

ー図である。

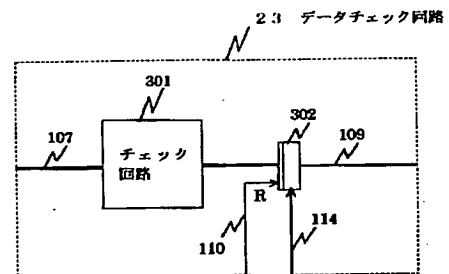
【符号の説明】

- 1 送信部
- 2 受信部
- 11 セレクタ
- 12 送信ラッチ
- 13 位相調整パターン発生回路
- 21 可変遅延回路
- 22 受信ラッチ
- 23 データチェック回路
- 24 エッジ検出回路
- 25 位相制御回路
- 101～108 データ線
- 109～112 制御線
- 113, 114 クロック
- 1201 システム制御ユニット
- 1210, 1211, 1212 機能ブロック
- 1220, 1221, 1222 システム制御線
- 1230, 1231, 1232 システム報告線

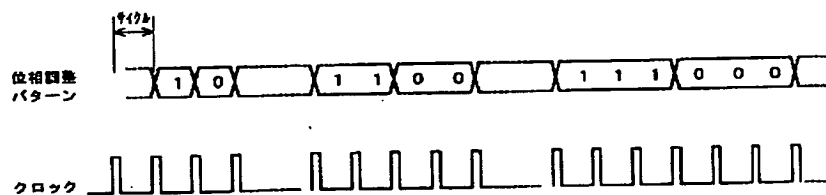
【図1】



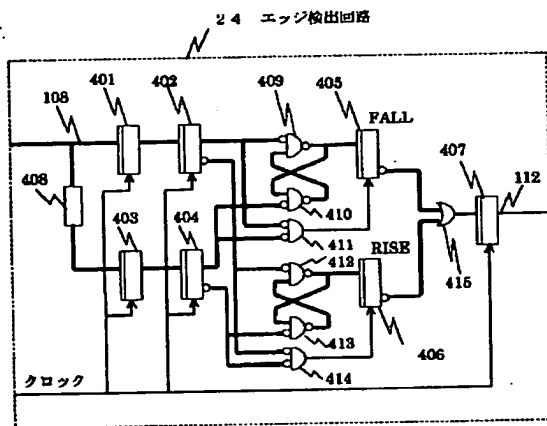
【図3】



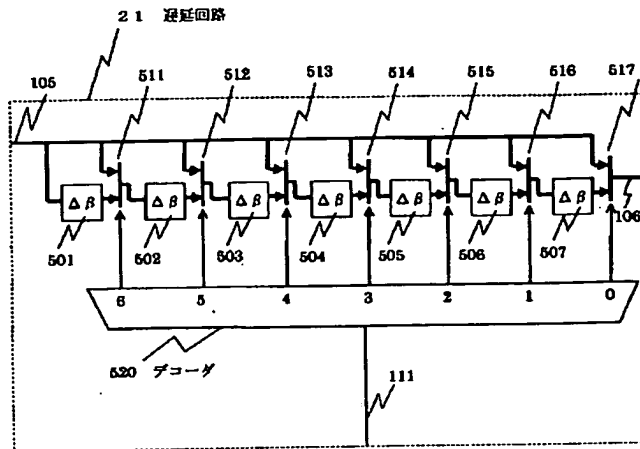
【図2】



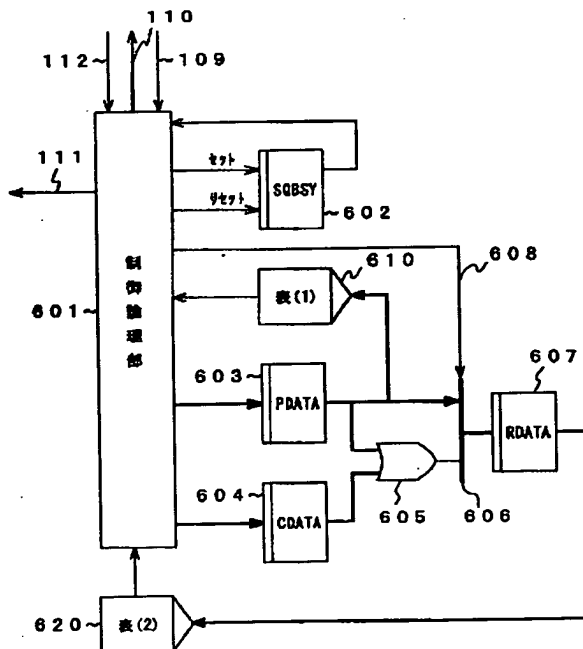
【図4】



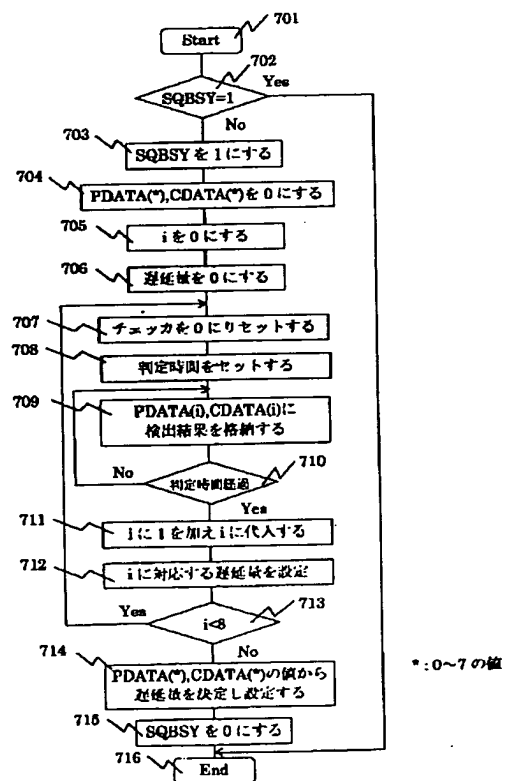
【図5】



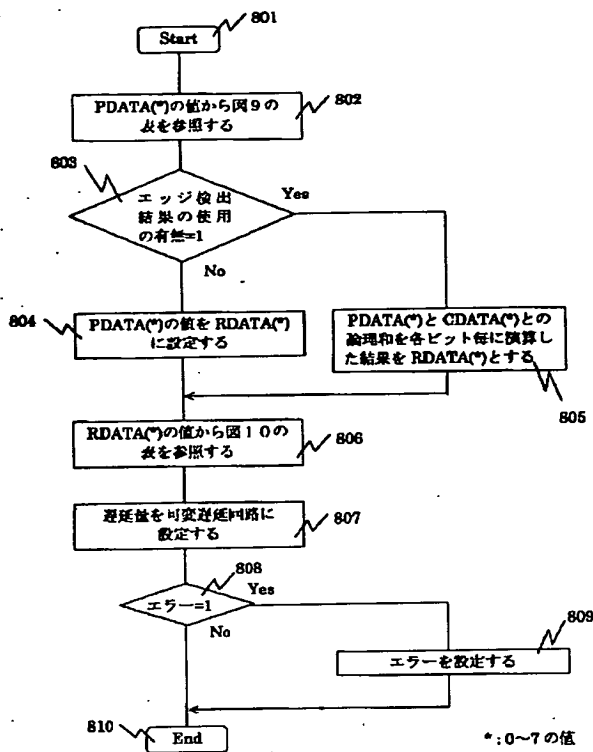
【図6】



【図7】



【図8】



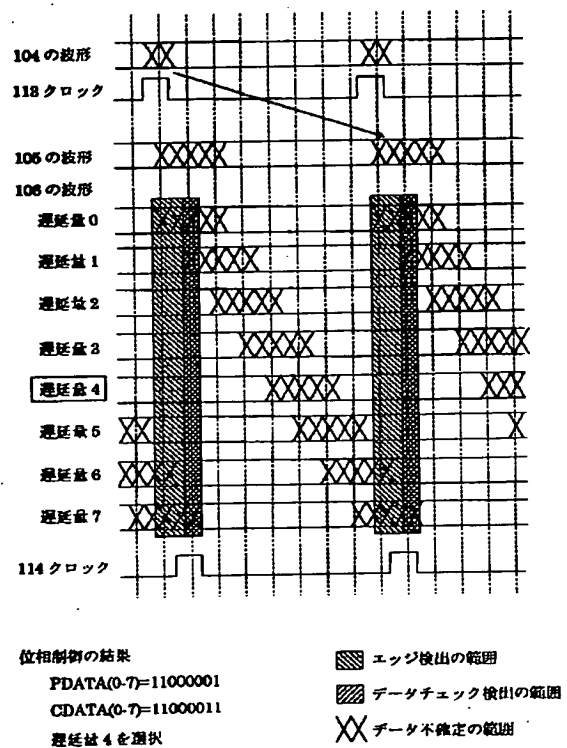
【図10】

RDATA(*)	遅延量	エラー
00000000	4	0
00000001	4	0
00000010	3	0
00000011	3	0
00001111	1	0
00010111	1	1
00011111	1	0
00111111	1	1
11111111	0	1

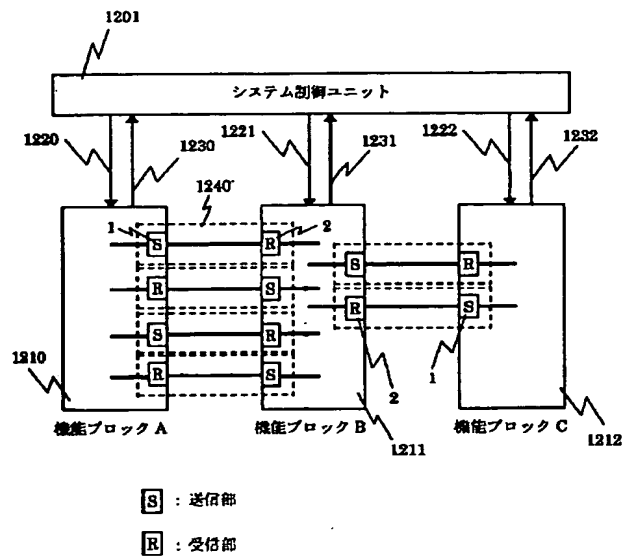
【図9】

PDATA(*)	エッジ検出結果の使用の有無
00000000	1
00000001	1
00000010	1
00000011	1
00001111	0
00010111	0
00110000	1
00111111	0
11111111	0

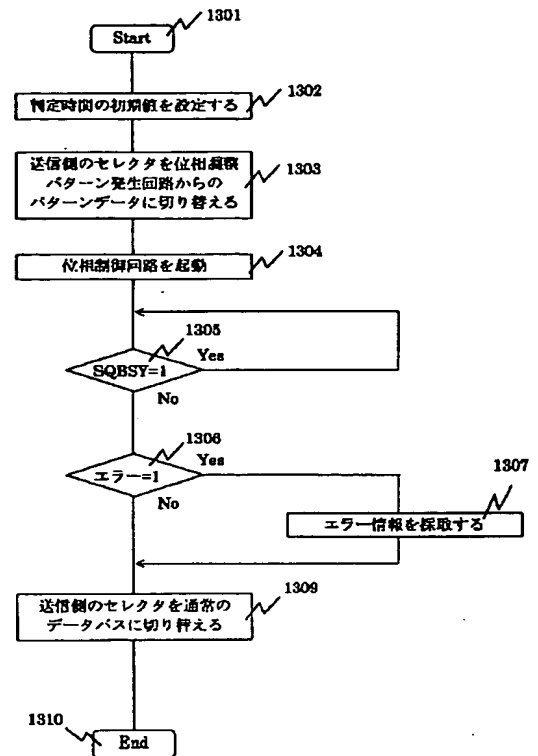
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 荻原 政男
 神奈川県秦野市堀山下1番地 株式会社日
 立製作所汎用コンピュータ事業部内

Fターム(参考) 5K047 AA05 BB05 GG09 GG24 GG45
 KK03 MM36 MM49 MM59